

doc. Ing. Peter Fuchs, PhD., Ústav automobilovej mechatroniky, Fakulta elektrotechniky a informatiky, Slovenská technická univerzita v Bratislave, Ilkovičová 3, 812 19 BA

## OPONENTSKÝ POSUDOK

Habilitačná práca Ing. Michala Turčanika, PhD.: PARCIÁLNA REKONFIGURÁCIA ČÍSLICOVÝCH SYSTÉMOV, Vedecká monografia, AOS MRŠ, Liptovský Mikuláš, je podaná ako vedecká práca zaoberajúca sa rekonfiguráciou hardvérového zapojenia obvodov FPGA počas vykonávania aplikácie. Táto metóda je vo všeobecnosti málo využívaná pretože vyžaduje komplexný prístup a zároveň je málo podporovaná dostupnými vývojovými prostriedkami. Práca má v tomto smere signifikantný význam, komplexné teoretické poznatky o tejto problematike sú doplnené aj o samotnú realizáciu systému využívajúcu parciálnu rekonfiguráciu na obvode FPGA.

Štruktúra práce je navrhnutá vhodne. Práca je rozdelená na šesť kapitol a prechádza od všeobecnej definícií a štruktúry obvodu FPGA až po konkrétnu aplikačnú oblasť, ktorá bola cieľom vedeckej práce.

V prvej kapitole autor definuje požiadavky a kritéria pre použitie programovateľných obvodov. V druhej kapitole nás autor zoznamuje s metódami implementácie číslicových systémov, kde sa zmeral najmä na základný opis a princípy jazyka VHDL.

Samotným jadrom práce je parciálna rekonfigurácia obvodu FPGA počas vykonávania aplikácie opísaná v tretej až piatej kapitole.

Šiesta kapitola sa venuje samotnej aplikácii ktorá využíva parciálnu rekonfiguráciu. Autorom bol navrhnutý a zrealizovaný komplexný systém využívajúci parciálnej rekonfigurácie k efektívnemu využívaniu zdrojov na čipe.

Habilitačná práca obsahuje všetky náležitosti, jej vedecká úroveň a kritéria pre habilitačné konanie sú s rezervou splnené, preto odporúčam, aby uchádzačovi bol udelený titul doc.

Otázky od oponenta:

Návrh jednotlivých častí bol realizovaný prostredníctvom vývojového prostriedku ISE Design Suite. Tento prostriedok už ale niekoľko rokov nie je ďalej vyvíjaný. Pre siedmu radu FPGA čipov odporúča Xilinx prejsť na nové integrované vývojové prostredie Vivado. Je možné parciálnu rekonfiguráciu realizovať aj s integrovaným vývojovým prostredím Vivado?

Je možné realizovať globálnu alebo parciálnu rekonfiguráciu aj na úrovni IP jadier? Teda že by samotné konfigurácie obsahovali priamo IP jadrá?

Využívali ste pri návrhu procesora pre parciálnu rekonfiguráciu aj internú zbernicu pre hardvér AXI 4?

V Bratislave 12. 1. 2018