

doc. Ing. Miloš Drutarovský, CSc.

Katedra elektroniky a multimediálnych
telekomunikácií

Fakulta elektrotechniky a informatiky

Technická univerzita v Košiciach

Park Komenského 13, 041 20 Košice

T.č.: 055 602 4169

E-mail: Milos.Drutarovsky@tuke.sk

Oponentský posudok

na habilitačnú prácu mjr. Ing. Michala Turčaníka, PhD.: „Parciálna rekonfigurácia číslicových systémov“

Habilitačná práca bola v súlade s vyhláškou 6/2005 Z.z. Ministerstva školstva Slovenskej republiky o postupe získavania vedecko-pedagogických titulov docent a profesor predložená ako vedecká monografia. K predloženej habilitačnej práci si na základe menovania dekrétom Akadémie ozbrojených síl generála Milana Rastislava Štefánika zo dňa 19. októbra 2017 za oponenta na habilitačné konanie mjr. Ing. Michala Turčaníka, PhD., dovoľujem zaujať nasledovné stanovisko:

Habilitačná práca má 153 strán. Jej obsah je formálne rozdelený do 6 kapitol, úvodu, záveru a príloh. Zoznam literatúry obsahuje 77 prameňov (habilitant je autorom alebo spoluautorom 31 publikácií). Prvé dve kapitoly sú venované opisu základných výhod a súvislostí v oblasti použitia moderných programovateľných obvodov a tiež stručnému opisu metód ich návrhu vrátane stručného opisu základných prvkov jazyka VHDL. Tretia kapitola opisuje základné možnosti a výhody využitia parciálnej dynamickej rekonfigurácie číslicových systémov. Vo štvrtej kapitole je demonštrovaná možnosť realizácie parciálnej rekonfigurácie s využitím komerčne dostupných FPGA obvodov firmy Xilinx. Časovej analýze parciálnej rekonfigurácie v obvodoch FPGA je venovaná piata kapitola. V šiestej kapitole je prezentovaný pôvodný návrh procesora riadeného tokom údajov s parciálnou rekonfiguráciou, ktorý bol implementovaný v obvode FPGA Xilinx Virtex 6. V prílohách sú uvedené vývojové diagramy vybraných hlavných blokov prezentovaného procesora a časti zdrojových kódov v jazyku VHDL.

Habilitačná práca je orientovaná do oblasti návrhu a realizácie číslicových systémov pomocou rekonfigurovateľných logických obvodov. Dôraz je venovaný parciálnej dynamickej rekonfigurácii využiteľnej v moderných obvodoch FPGA. V práci je prezentovaný aj pôvodný návrh špecializovaného procesora riadeného tokom údajov, ktorý autor navrhol a implementoval v cieľovej technológii FPGA Xilinx. Problematika využitia obvodov FPGA na realizáciu (aj) špecializovaných vstavaných informačných a komunikačných systémov je už dlhodobo aktuálna. Problematika parciálnej dynamickej rekonfigurácie týchto systémov je v súčasnosti vysoko aktuálna a umožňuje ďalej zvyšovať flexibilitu a výkonnosť systémov na báze obvodov FPGA. Habilitačná práca svojim zameraním sleduje tento moderný trend a naznačuje nové možnosti v tejto oblasti.

Práca je napísaná jasne a má logickú štruktúru, je spracovaná systematicky a na úrovni zodpovedajúcej aktuálnym poznatkom v prezentovanej oblasti. Po formálnej stránke obsahuje pomerne málo chýb a nejasností ako napr. chýbajúce skratky v zozname použitých skratiek (napr. MAC, DCT, ...), bytových tokov (namiesto bitových) na str. 71, nevyvážené zátvorky v rovnici (7) na str. 100 a pod. Niektoré formulácie uvedené v texte môžu byť pre čitateľa zavádzajúce. Napr. vyjadrenie „... ktoré obsahujú 2 milióny systémových hradiel (3600 blokov DSP)“ na str. 19 môže

byť čitateľom chybné interpretované tak, že 2 milióny systémových hradiel tvorí 3600 blokov DSP. Niektoré pojmy použité v práci majú vhodnejší slovenský ekvivalent. Napr. „hardvérové deskripčné jazyky“ (jazyky pre opis hardvéru), „záverná hrana“ (dobežná hrana), „poľom programovateľné hradlové polia“ a pod.

Publikovanie časti zdrojových VHDL kódov v prílohe predkladanej práce hodnotím ako v dnešnej dobe málo efektívne riešenie. Podstatne efektívnejšie by podľa môjho názoru bolo zverejnenie v elektronickej forme napríklad na verejne dostupných stránkach s prípadnou linkou na predloženú prácu.

V predloženej práci autor prezentoval aj výstupy jeho výskumných a experimentálnych aktivít, čo dokumentuje aj 31 citovaných referencií, ktorých bol autorom alebo spoluautorom, čo hodnotím veľmi pozitívne. Pôvodné výsledky habilitanta boli publikované prevažne na domácich a zahraničných konferenciách a výskumných správach, a tiež v časopisoch.

Ako otázky do diskusie pre habilitanta kladiem nasledujúce otázky:

1. Na obrázku 1.1 na str. 14 je uvedené „Umiestnenie rekonfigurateľného hardvéru v oblasti technologickej platformy“. Z textu ani z obrázku nie je jasné, aká metrika je uvažovaná pre hodnotenie výkonnosti, ktorá je znázornená na x-ovej osi. Mohol by habilitant vysvetliť za akých podmienok (ako uvažovanej výkonnosti) je uvedené zobrazenie platné? Prípadné za akých podmienok platné nebude?
2. Z pohľadu vývojových trendov v oblasti obvodov FPGA je zrejme pomerne významným faktorom zmena vlastníctva druhého najvýznamnejšieho výrobcu FPGA obvodov Altera. V súčasnosti je vlastníkom a výrobcom týchto obvodov firma Intel. Čo môže toto spojenie v budúcnosti pre rozvoj rekonfigurateľného hardvéru a systémov na čipe priniesť? Aké sú podľa habilitanta možnosti budúceho vývoja v tomto smere?

Záver

Predložená habilitačná práca spĺňa podmienky kladené na úroveň habilitačnej práce a dokumentuje, že jej autor je teoreticky i prakticky vyspelým výskumným pracovníkom s perspektívou ďalších dôležitých vedeckých výsledkov v budúcnosti.

Získané a prezentované poznatky interpretované v práci sú prínosom pre rozvoj študijného odboru a sú využiteľné aj ako doplnkový materiál na výučbu v špecializovaných predmetoch zameraných na syntézu moderných číslicových systémov.

Vychádzajúc z uvedeného odporúčam prijať habilitačnú prácu mjr. Ing. Michala Turčaníka, PhD. na tému „Parciálna rekonfigurácia číslicových systémov“ k obhajobe a na základe úspešného habilitačného konania navrhujem menovanému udeliť vedecko-pedagogický titul

docent

v študijnom odbore 8.4.6 Vojenské spojovacie a informačné systémy.

V Košiciach, 3.1.2018

doc. Ing. Miloš Drutarovský, CSc.
oponent